

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044769  
 (43)Date of publication of application : 16.02.2001

(51)Int.Cl. H03F 3/30

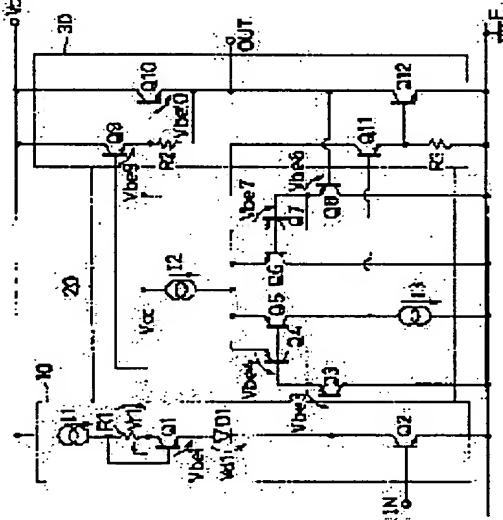
(21)Application number : 11-221024 (71)Applicant : ROHM CO LTD  
 (22)Date of filing : 04.08.1999 (72)Inventor : NAKAGAWA EIJI

## (54) POWER DRIVE CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the chip layout area of an IC to improve characteristics of crossover distortion, etc., by making NPN bipolar transistors TRs of output power TRs and driving TRs and forming an idling group free from unnecessary oscillation.

**SOLUTION:** This circuit is so constituted that NPN bipolar TRs can be used as output power TRs Q10 and Q12 performing push-pull operation and driving TRs Q9 and Q11 driving them. The idling group is formed with an adjustment resistor R1 of an input means 10, the base and the emitter of an NPN bipolar TR Q1, a diode D1, bases and emitters of respective PNP bipolar TRs of a current differential means 20, and bases and emitters of first Darlington connection NPN bipolar TRs Q9 and Q10 of an output means 30. By forming this loop, voltage distribution is properly performed to suppress unnecessary oscillation.



## LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-44769

(P2001-44769A)

(43)公開日 平成13年2月16日 (2001.2.16)

(51)Int.Cl.<sup>7</sup>

H 0 3 F 3/30

識別記号

F I

H 0 3 F 3/30

テーマコード(参考)

5 J 0 9 1

審査請求 未請求 請求項の数1 O.L (全5頁)

(21)出願番号 特願平11-221024

(22)出願日 平成11年8月4日 (1999.8.4)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 中川 英二

京都市右京区西院溝崎町21番地 ローム株式会社内

(74)代理人 100083231

弁理士 紋田 誠 (外1名)

Fターム(参考) 5J091 AA02 AA19 AA41 CA24 CA54

CA82 CA92 FA10 HA08 HA19

HA25 HA26 HA29 KA02 KA05

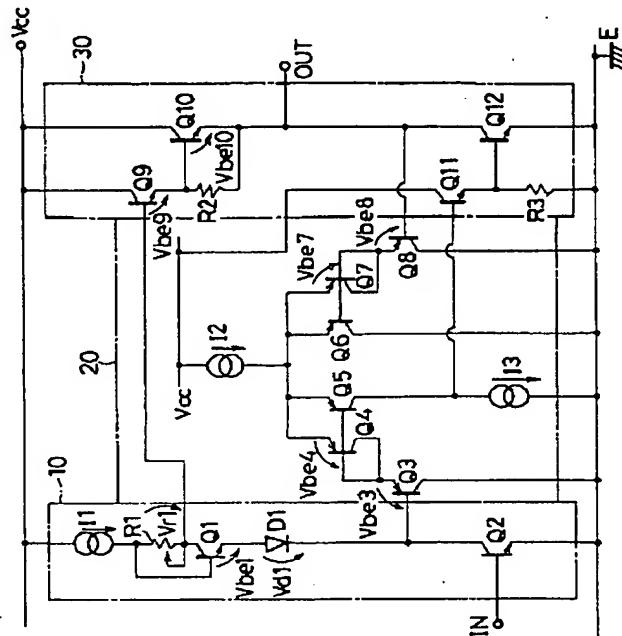
MA06 MA11 MA21 SA05 UW10

(54)【発明の名称】 パワードライブ回路

(57)【要約】

【課題】 パワードライブ回路において、出力パワートランジスタおよびこれを駆動する駆動用トランジスタともNPN型バイポーラトランジスタとするとともに、不要発振のおそれが少ないアイドリンググループを形成すること。

【解決手段】 入力手段及び出力手段に配置される、NPN形バイポーラトランジスタのベースーエミッタ間、ダイオード及び調整用抵抗とともに、電流差動手段のPNP形バイポーラトランジスタでアイドリンググループを形成する。そして、電流差動手段の出力電流を、ダーリントン接続NPN形バイポーラトランジスタに入力する構成とし、パワードライブ回路に適したアイドリンググループ回路を形成する。



## 【特許請求の範囲】

【請求項1】 定電流源と調整用抵抗とNPN型バイポーラトランジスタとダイオードと信号入力トランジスタの直列接続からなり、前記定電流源と前記調整用抵抗との接続点と前記NPN型バイポーラトランジスタのベースとを接続した入力手段と、

第1電源と出力端子間に接続され、前記入力手段の前記調整用抵抗と前記NPN型バイポーラトランジスタとの接続点電位を入力とする第1ダーリントン接続NPN形バイポーラトランジスタと、出力端子と第2電源間に接続された第2ダーリントン接続NPN形バイポーラトランジスタとからなる出力手段と、

PNP形バイポーラトランジスタで構成され、一方の差動入力を前記入力手段の前記ダイオードと前記信号入力トランジスタの接続点電位とし、他方の差動入力を前記出力手段の出力端子電位とし、差動出力を前記出力手段の前記第2ダーリントン接続NPN形バイポーラトランジスタの入力とする電流差動手段とを備え、

前記入力手段の前記調整用抵抗、前記NPN型バイポーラトランジスタのベースーエミッタと、ダイオードと、前記電流差動手段の各PNP型バイポーラトランジスタのベースーエミッタと、前記出力手段の第1ダーリントン接続NPN形バイポーラトランジスタのベースーエミッタでアイドリングループを形成することを特徴とするパワードライブ回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、CD、CD-ROMなどのアクチュエータ用ドライバや、オーディオ用パワーアンプなどの電流能力の大きいパワードライブ回路に関する。

## 【0002】

【従来の技術】 CD、CD-ROMなどのアクチュエータ用ドライバや、オーディオ用パワーアンプなどの電流能力の大きいパワードライブ回路として、出力段素子や制御素子としてバイポーラトランジスタを使用し、他の制御回路構成部品なども含めて集積（IC）化したもののが多く使用されている。

【0003】 一般に、同一基板上にPNP形バイポーラトランジスタとNPN型バイポーラトランジスタを形成する場合には、製造工程上の問題から、NPN形バイポーラトランジスタを動作電流の流れが縦方向となるバティカル構造にし、一方PNP形バイポーラトランジスタを動作電流の流れがほぼ横方向となるラテラル構造にする。

【0004】 バティカル構造、つまりNPN型のバイポーラトランジスタは、チップ面積が小さくても電流能力が大きくとれるが、ラテラル構造、つまりPNP形のバイポーラトランジスタは電流が表面近くを流れるため、表面の影響を強く受けて電流増幅率を大きくとれな

い。このため、PNP形のバイポーラトランジスタの電流能力を大きくするためには素子面積を大きくする必要があり、コスト的に不利となる。

【0005】 このことから、従来のドライバ回路などでは出力トランジスタをNPN型トランジスタで構成したものが広く使用されている。図2は、そのようなドライバ回路の出力側の一部を示したものである。

【0006】 図2で、プッシュプル動作を行う出力パワートランジスタQ23、Q25は所要面積を小さくするためにNPN型バイポーラトランジスタが使用されている。しかし、この出力パワートランジスタQ23、Q25を駆動するためのバイポーラトランジスタQ21、Q22、及びQ24は、PNP型バイポーラトランジスタが用いられている。

【0007】 プッシュプル動作を行う出力パワートランジスタQ23、Q25をクロスオーバー歪みを発生させることなく駆動するために、アイドリング電流を常時流しておく必要があり、そのためのアイドリングループが形成される。このアイドリングループは、不要発振の発生防止などの点から、PNP形バイポーラトランジスタの方がNPN型バイポーラトランジスタによるより、構成し易いことから、駆動用トランジスタQ21、Q22、及びQ24には、PNP型バイポーラトランジスタが用いられている。

## 【0008】

【発明が解決しようとする課題】 この従来のパワードライバ回路では、出力パワートランジスタQ23、Q25はNPN型バイポーラトランジスタが用いられているものの、出力パワートランジスタQ23、Q25を駆動するためのバイポーラトランジスタQ21、Q22、及びQ24には上述のように、PNP型バイポーラトランジスタが用いられている。この駆動トランジスタQ21、Q22、及びQ24にも、ある程度の電流能力が必要となるため、PNP型バイポーラトランジスタで構成するとICのチップ面積が大きくなってしまうという問題があった。

【0009】 そこで、本発明は、出力パワートランジスタおよびこれを駆動する駆動用トランジスタともNPN型バイポーラトランジスタとするとともに、不要発振のおそれが少ないアイドリングループを形成するパワードライブ回路を提供することを目的とする。

## 【0010】

【課題を解決するための手段】 請求項1のパワードライブ回路は、定電流源I1と調整用抵抗R1とNPN型バイポーラトランジスタQ1とダイオードD1と信号入力トランジスタQ2の直列接続からなり、前記定電流源I1と前記調整用抵抗R1との接続点と前記NPN型バイポーラトランジスタQ1のベースとを接続した入力手段10と、第1電源Vccと出力端子OUT間に接続され、前記入力手段の前記調整用抵抗R1と前記NPN型

バイポーラトランジスタQ1との接続点電位を入力とする第1ダーリントン接続NPN形バイポーラトランジスタQ9、Q10と、出力端子OUTと第2電源E間に接続された第2ダーリントン接続NPN形バイポーラトランジスタQ11、Q12とからなる出力手段30と、PNP形バイポーラトランジスタで構成され、一方の差動入力を前記入力手段の前記ダイオードD1と前記信号入力トランジスタQ2の接続点電位とし、他方の差動入力を前記出力手段の出力端子電位とし、差動出力を前記出力手段の前記第2ダーリントン接続NPN形バイポーラトランジスタQ11、Q12の入力とする電流差動手段20とを備え、前記入力手段10の前記調整用抵抗R1、前記NPN型バイポーラトランジスタQ1のベースーエミッタと、ダイオードD1と、前記電流差動手段20の各PNP型バイポーラトランジスタのベースーエミッタと、前記出力手段30の第1ダーリントン接続NPN形バイポーラトランジスタQ9、Q10のベースーエミッタでアイドリングループを形成することを特徴とする。

【0011】この請求項1記載の構成によれば、出力手段30のトランジスタ、すなわち出力トランジスタQ10、Q12とそれを駆動する駆動トランジスタQ9、Q11を全て、NPN型バイポーラトランジスタで構成することができ、ICのチップレイアウト面積を小さくすることができる。

【0012】また、入力手段、電流差動手段及び出力手段に配置される、PNP形バイポーラトランジスタのベースーエミッタ間、NPN形バイポーラトランジスタのベースーエミッタ間、ダイオード、及び調整用抵抗でアイドリングループが形成される。特に、PNP形バイポーラトランジスタで構成される電流差動手段の出力電流を、ダーリントン接続NPN形バイポーラトランジスタに入力する構成とし、パワードライブ回路に適したアイドリングループ回路が形成されるから、各電圧配分が適正に行われ、不要発振が抑制され、アイドリング電流が安定して流れ、クロスオーバ歪みなどの特性も良好になる。

【0013】

【発明の実施の形態】以下、本発明の実施例について、図1を参照して説明する。

【0014】図1は、本発明の実施例に係るパワードライブ回路を示す図である。図1に示されるように、本発明のパワードライブ回路は、大別して入力手段10と、電流差動手段20と、出力手段30とから構成される。

【0015】入力手段10は、第1電源である電源電圧Vccと第2電源である接地電位E間に、第1定電流源I1、調整用抵抗R1、NPN型バイポーラトランジスタQ1、ダイオードD1、信号入力トランジスタQ2を直列に接続する。NPN型バイポーラトランジスタQ1のベースを第1定電流源I1と調整用抵抗R1との間に

接続する。調整用抵抗R1は、アイドリングループ中の電圧を調整するものであり、半固定抵抗器などのように必要に応じてその抵抗値が変更できることを望ましい。IC化された回路では、調整用抵抗R1の抵抗値は設計段階で合わせ込むことで調整される。また、NPN型バイポーラトランジスタQ1、ダイオードD1もアイドリングループ形成用に設けられたものである。

【0016】信号入力トランジスタQ2のベースには入力信号が印加されるが、その入力端子INは直流的には電源電圧Vccと接地電位Eの中間電位にあり、このため直流バイアスが印加されたり、出力端子OUTの電位が帰還される。したがって、入力端子INは中点の直流電位に交流入力信号が重畠された状態で動作する。

【0017】また、ダイオードD1と信号入力トランジスタQ2の接続点電位が後述する電流差動手段20の一方の入力として出力される。

【0018】電流差動手段20は、電源電圧Vccと接地電位Eとの間に第2定電流源I2を介して差動回路の一方側の構成要素と他方側の構成要素とがそれぞれ形成される。

【0019】まず、この一方側は、PNP型バイポーラトランジスタQ5と第3定電流源I3とが直列に接続され、その接続点が本電流差動手段20の出力端子となる。PNP型バイポーラトランジスタQ4とPNP型バイポーラトランジスタQ3が直列に接続され、PNP型バイポーラトランジスタQ3のエミッタとPNP型バイポーラトランジスタQ4のベース及びPNP型バイポーラトランジスタQ5のベースが接続されるとともに、PNP型バイポーラトランジスタQ3のベースが入力手段10のダイオードD1と信号入力トランジスタQ2の接続点に接続され、本電流差動手段20の一方の入力端子となる。また、PNP型バイポーラトランジスタQ4とPNP型バイポーラトランジスタQ5とは、そのベースーエミッタ電圧が接続上等しくなるから、電流ミラー回路として機能する。

【0020】次に、差動回路を構成する他方側は、PNP型バイポーラトランジスタQ6が設けられ、またPNP型バイポーラトランジスタQ7とPNP型バイポーラトランジスタQ8が直列に接続され、PNP型バイポーラトランジスタQ8のエミッタとPNP型バイポーラトランジスタQ6のベース及びPNP型バイポーラトランジスタQ7のベースが接続されるとともに、PNP型バイポーラトランジスタQ8のベースが出力手段30の出力端子OUTに接続され、本電流差動手段20の他方の入力端子となる。また、PNP型バイポーラトランジスタQ6とPNP型バイポーラトランジスタQ7とは、そのベースーエミッタ電圧が接続上等しくなるから、電流ミラー回路として機能する。

【0021】そして、PNP型バイポーラトランジスタQ3、Q4（またはQ5）、Q6（またはQ7）、Q8

の各ベースーエミッタ間が、アイドリングループの一部を構成している。

【0022】出力手段30は、電源電圧Vccと接地電位E間にNPN型バイポーラトランジスタQ10とNPN型バイポーラトランジスタQ12とが直列に接続され、その中間接続点が出力端子OUTとなる。そして、ダーリントン接続となるようにNPN型バイポーラトランジスタQ10にNPN型バイポーラトランジスタQ9が、NPN型バイポーラトランジスタQ12にNPN型バイポーラトランジスタQ11が接続される。抵抗R2がNPN型バイポーラトランジスタQ10のベースーエミッタ間に、抵抗R3がNPN型バイポーラトランジスタQ12のベースーエミッタ間に設けられる。

【0023】そして、NPN型バイポーラトランジスタQ9のベースに前記入力手段10の調整用抵抗R1とNPN型バイポーラトランジスタQ1との接続点が接続され、NPN型バイポーラトランジスタQ9、Q10で構成される第1ダーリントン接続NPN形バイポーラトランジスタの入力とされる。

【0024】同様にNPN型バイポーラトランジスタQ11のベースに前記電流差動手段20のPNP型バイポーラトランジスタQ5と第3定電流源I3との接続点が接続され、NPN型バイポーラトランジスタQ11、Q12で構成される第2ダーリントン接続NPN形バイポーラトランジスタの入力とされる。

【0025】さて、本発明のような、プッシュプル増幅回路はB級増幅であり、上半波と下半波とのつなぎ目である時間軸を横切る部分に無理がでてクロスオーバー歪みを生じる。この増幅器の動作をAB級に近づけて、レベルの低い部分の上下のつながりを改善するために、出力回路には予め所定のアイドリング電流を流しておく必要がある。

【0026】本発明では、このためのバイアス回路としてのアイドリングループが次のように形成されている。つまり、出力端子OUTから見て、NPN型バイポーラトランジスタQ10のベースーエミッタ、NPN型バイポーラトランジスタQ9のベースーエミッタ、調整用抵抗R1、NPN型バイポーラトランジスタQ1のベースーエミッタ、ダイオードD1、PNP型バイポーラトランジスタQ3のベースーエミッタ、PNP型バイポーラトランジスタQ4のベースーエミッタ、PNP型バイポーラトランジスタQ7のベースーエミッタ、PNP型バイポーラトランジスタQ8のベースーエミッタのループとなっている。

【0027】ここで、ダイオードD1の順方向電圧降下をVd1とし、NPN型バイポーラトランジスタQ1、PNP型バイポーラトランジスタQ3、Q4、Q7、Q8及びNPN型バイポーラトランジスタQ9、Q10の各ベースーエミッタ間順方向電圧降下を、Vbe1、Vbe3、Vbe4、Vbe7、Vbe8、Vbe9、V

be10とし、調整用抵抗R1の電圧降下をVr1とすると、

$$Vbe1 + Vd1 - Vbe3 - Vbe4 + Vbe7 + Vbe8 - Vbe9 - Vbe10 - Vr1 = 0$$

の式が成立するように、各トランジスタ、ダイオード、抵抗の回路素子が設計されており、また微少な調整を調整用抵抗R1の抵抗値調整により行う。集積回路では、同一チップ上の温度差が小さいため、上記のアイドリングループ中のダイオード、トランジスタなどの各素子の温度特性も揃えることができる。

【0028】このアイドリングループの形成により、入力端子INへの信号がないとき（無信号時）にも、出力パワートランジスタQ10及び出力パワートランジスタQ12を介して所定のアイドリング電流が流れる。なお、入力端子IN、出力端子OUTとも、直流的に中点電位に保たれている。また、所定のアイドリング電流が安定して流されるため、パワードライブ回路の歪みを小さくすることができる。また、このアイドリングループでは、実際の回路構成に基づいて動作を確認した結果、通常問題となる不要発振の問題も少なく、不要発振抑制用に設けられるコンデンサも大幅に削減することができた。例えば、信号入力トランジスタQ2のベースーコレクタ間に小容量のコンデンサを接続するのみで、対応することができる。

【0029】信号入力が入力端子INに印加されると、中点の直流電位に重畠され、通常のパワーアンプなどにおける増幅動作と同様に信号が増幅され、出力端子OUTから図示を省略している負荷に出力される。この入力端子INに、信号が正半波あるいは負半波のいずれで入力された場合でも、入力信号の値に応じて上記アイドリングループの動作点は全体としてシフトするだけで、アイドリングループのアイドリング条件は同じ状態に保たれている。

【0030】以上説明したように、本発明のパワードライブ回路によれば、プッシュプル動作する出力パワートランジスタQ10、Q12およびこれらを駆動する駆動用トランジスタQ9、Q11ともNPN型バイポーラトランジスタとができるから、集積回路装置のレイアウト面積を小さくすることができる。

【0031】また、本パワードライブ回路のアイドリングループの形成のために、PNP形バイポーラトランジスタQ3～Q8で構成され、一方の差動入力を入力手段10のダイオードD1と信号入力トランジスタQ2の接続点電位とし、他方の差動入力を出力手段30の出力端子OUTの電位とし、差動出力を出力手段30の第2ダーリントン接続NPN形バイポーラトランジスタQ11、Q12の入力とする電流差動手段20とを備え、入力手段10の調整用抵抗R1、NPN型バイポーラトランジスタQ1のベースーエミッタ、ダイオードD1と、電流差動手段20の各PNP型バイポーラトランジスタ

のベースーエミッタと、出力手段30の第1ダーリントン接続NPN形バイポーラトランジスタQ9、Q10のベースーエミッタでアイドリング電流を形成している。【0032】この特有のアイドリンググループの形成によって、パワードライブ回路の歪みを小さくすることができる。また、このアイドリンググループでは、不要発振の問題も少なく、通常、不要発振の抑制用に設けられるコンデンサを大幅に削減することができる。

## 【0033】

【発明の効果】この請求項1記載の構成によれば、出力手段のトランジスタ、すなわち出力パワートランジスタQ10、Q12とそれを駆動する駆動トランジスタQ9、Q11を全て、NPN型バイポーラトランジスタで構成することができ、ICのチップレイアウト面積を小さくすることができる。

【0034】また、入力手段、電流差動手段及び出力手段に配置される、PNP形バイポーラトランジスタのベースーエミッタ間、NPN形バイポーラトランジスタのベースーエミッタ間、ダイオード電圧、及び調整用抵抗でアイドリンググループが形成される。特に、PNP形バ

イポーラトランジスタで構成される電流差動手段の出力電流を、ダーリントン接続NPN形バイポーラトランジスタに入力する構成とし、パワードライブ回路に適したアイドリンググループ回路が形成されるから、各電圧配分が適正に行われ、不要発振が抑制され、アイドリング電流が安定して流れ、クロスオーバ歪みなどの特性も良好になる。

## 【図面の簡単な説明】

【図1】本発明の実施例に係るパワードライブ回路を示す図。

【図2】従来のパワードライブ回路の一部を示す図。

## 【符号の説明】

10 入力手段

20 電流差動手段

30 出力手段

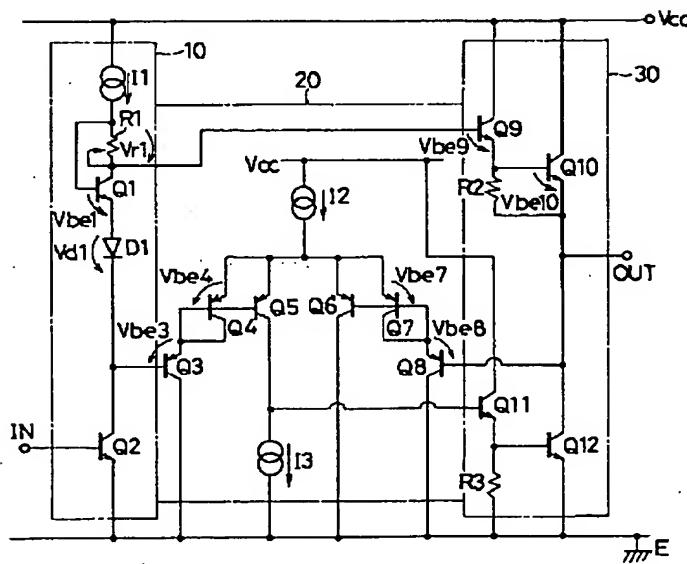
I 1～I 3 定電流源

Q 1、Q 9～Q 12 NPN型バイポーラトランジスタ

Q 3～Q 8 PNP型バイポーラトランジスタ

R 1 調整用抵抗

【図1】



【図2】

